

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application: 2002年 8月13日

出願番号  
Application Number: 特願2002-235896

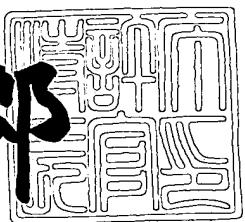
[ST.10/C]: [JP2002-235896]

出願人  
Applicant(s): 富士通株式会社

2003年 1月10日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3104562

【書類名】 特許願

【整理番号】 0240412

【提出日】 平成14年 8月13日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10  
G11C 11/41

【発明の名称】 半導体メモリ

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 芦澤 哲夫

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 横関 亘

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100072718

【弁理士】

【氏名又は名称】 古谷 史旺

【電話番号】 3343-2901

【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ

【特許請求の範囲】

【請求項1】 転送トランジスタおよび駆動トランジスタを有する複数のメモリセルと、

前記転送トランジスタのゲートにそれぞれ接続されている複数のワード線と、

前記ワード線に供給する電圧をそれぞれ生成する複数の第1バッファを有する第1ドライバ回路と、

前記転送トランジスタおよび前記駆動トランジスタの基板にそれぞれ接続されている複数の第1基板線と、

前記第1バッファに同期して動作し、前記第1基板線に供給する電圧をそれぞれ生成する複数の第2バッファを有する第2ドライバ回路とを備えていることを特徴とする半導体メモリ。

【請求項2】 請求項1記載の半導体メモリにおいて、

前記各第2バッファは、前記ワード線のうち対応するワード線に前記転送トランジスタをオンさせる電圧が供給されている時に、前記第1基板線のうち対応する第1基板線に前記転送トランジスタおよび前記駆動トランジスタの閾値電圧を低くする電圧を供給し、前記対応するワード線に前記転送トランジスタをオフさせる電圧が供給されている時に、前記対応する第1基板線に前記転送トランジスタおよび前記駆動トランジスタの閾値電圧を高くする電圧を供給することを特徴とする半導体メモリ。

【請求項3】 請求項2記載の半導体メモリにおいて、

前記各第2バッファは、前記対応するワード線に前記転送トランジスタをオンさせる電圧が供給されている時に、前記対応する第1基板線に電源電圧を供給することを特徴とする半導体メモリ。

【請求項4】 請求項2記載の半導体メモリにおいて、

前記各第2バッファは、前記対応するワード線に前記転送トランジスタをオンさせる電圧が供給されている時に、前記対応する第1基板線に前記転送トランジスタのソース、ドレインおよび前記駆動トランジスタのソース、ドレインと基板

との間に形成されるp-n接合の順方向電圧より低い第1電圧を供給することを特徴とする半導体メモリ。

【請求項5】 請求項2記載の半導体メモリにおいて、  
前記各第2バッファは、前記対応するワード線に前記転送トランジスタをオフ  
させる電圧が供給されている時に、前記対応する第1基板線に接地電圧を供給す  
ることを特徴とする半導体メモリ。

【請求項6】 請求項2記載の半導体メモリにおいて、  
負電圧を生成する負電圧生成回路を備え、  
前記各第2バッファは、前記対応するワード線に前記転送トランジスタをオフ  
させる電圧が供給されている時に、前記対応する第1基板線に前記負電圧を供給  
することを特徴とする半導体メモリ。

【請求項7】 請求項6記載の半導体メモリにおいて、  
前記各第2バッファは、前記対応するワード線に前記転送トランジスタをオン  
させる電圧が供給されている時に、前記対応する第1基板線に接地電圧を供給す  
ることを特徴とする半導体メモリ。

【請求項8】 転送トランジスタおよび負荷トランジスタを有する複数のメ  
モリセルと、

前記転送トランジスタのゲートにそれぞれ接続されている複数のワード線と、  
前記ワード線に供給する電圧をそれぞれ生成する第1バッファを有する第1ド  
ライバ回路と、

前記負荷トランジスタの基板にそれぞれ接続されている複数の第2基板線と、  
前記第1バッファに同期して動作し、前記第2基板線に供給する電圧をそれぞ  
れ生成する複数の第3バッファを有する第3ドライバ回路とを備えていることを  
特徴とする半導体メモリ。

【請求項9】 請求項8記載の半導体メモリにおいて、  
前記各第3バッファは、前記ワード線のうち対応するワード線に前記転送トラ  
ンジスタをオンさせる電圧が供給されている時に、前記第2基板線のうち対応す  
る第2基板線に前記負荷トランジスタの閾値電圧を低くする電圧を供給し、前記  
対応するワード線に前記転送トランジスタをオフさせる電圧が供給されている時

に、前記対応する第2基板線に前記負荷トランジスタの閾値電圧を高くする電圧を供給することを特徴とする半導体メモリ。

【請求項10】 請求項9記載の半導体メモリにおいて、  
電源電圧より高い昇圧電圧を生成する昇圧回路を備え、  
前記各第3バッファは、前記対応するワード線に前記転送トランジスタをオンさせる電圧が供給されている時に、前記対応する第2基板線に電源電圧を供給し、前記対応するワード線に前記転送トランジスタをオフさせる電圧が供給されている時に、前記対応する第2基板線に電源電圧より高い前記昇圧電圧を供給することを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スタティックRAMに関する。

【0002】

【従来の技術】

近時、スタティックRAM（以下、SRAMと称する）を搭載するシステムの動作周波数が高くなっている。また、特に、携帯機器において装置全体の消費電力を削減するために、消費電力の低いSRAMが要求されている。このような中、アクセス時間が早く、かつスタンバイ期間における消費電流（スタンバイ電流）が少ないSRAMが要求されている。

特開平11-16363号公報には、メモリセルが6つのトランジスタで構成されているSRAMにおいて、転送トランジスタと負荷トランジスタの基板（pウェル領域）をワード線に接続する構造が開示されている。

【0003】

この公報のSRAMでは、転送トランジスタおよび負荷トランジスタの閾値電圧は、メモリセルをアクセスするためにワード線が高レベルに変化しているときに低くなり、メモリセル内のデータを保持するためにワード線が低レベルに変化しているときに高くなる。メモリセルのアクセス時には、転送トランジスタおよび負荷トランジスタを流れる電流が増加するため、アクセス時間は短縮される。また

、スタンバイ時には、転送トランジスタおよび負荷トランジスタのリーク電流が減少するため、スタンバイ電流は削減される。

## 【0004】

また、特開2000-114399号公報には、メモリセルが6つのトランジスタで構成されるSRAMにおいて、転送トランジスタおよび駆動トランジスタのゲートをそれぞれ自身の基板に接続する構造が開示されている。また、一般的なSRAMと同様に、負荷トランジスタおよび駆動トランジスタにより、入力と出力とが互いに接続された2つのCMOSインバータが形成されている。

## 【0005】

この公報のSRAMでは、転送トランジスタの閾値電圧は、メモリセルをアクセスするためにワード線が高レベルに変化しているときに低くなり、メモリセル内のデータを保持するためにワード線が低レベルに変化しているときに高くなる。駆動トランジスタの閾値電圧は、ゲートに低レベルが与えられているときに低くなる。そして、メモリセルのアクセス時には、転送トランジスタを流れる電流が増加するため、アクセス時間は短縮される。また、スタンバイ時には、負荷トランジスタおよび駆動トランジスタにより構成される2つのCMOSインバータのうち、負荷トランジスタがオンしているCMOSインバータのリーク電流が減少するため、スタンバイ電流は削減される。

## 【0006】

## 【発明が解決しようとする課題】

一般に、SRAM等の半導体集積回路では、トランジスタのレイアウトサイズを小さくするため、これ等トランジスタの基板領域（ウエル領域）は、多数のトランジスタで共有されている。換言すれば、多数のトランジスタに対応して1つのウエル領域が形成されている。このため、上述した従来技術では、ワード線をトランジスタの基板に接続した場合、ワード線を駆動するワードドライバは、ワード線だけでなく基板の負荷も駆動しなくてはならない。この結果、トランジスタの閾値電圧を低くしても、メモリセルのアクセス時間は遅くなってしまう。

## 【0007】

また、転送トランジスタおよび駆動トランジスタを構成するnMOSトランジスタ

は、ソースおよびドレインがn形拡散層で形成されている。このため、ワード線の高レベル電圧が、p-n接合の順方向電圧より高い場合、基板（p形ウエル領域）にワード線の高レベル電圧が供給されるとp形ウエル領域からnMOSトランジスタのソースまたはドレインに電流が流れてしまう。この結果、メモリセルのアクセス時に誤動作（データの破壊または誤ったデータの読み出し）するおそれがある。

## 【0008】

本発明の目的は、半導体メモリのアクセス時間を短縮するとともにスタンバイ電流を削減することにある。

本発明の別の目的は、メモリセルのアクセス時の誤動作を防止することにある。

## 【0009】

## 【課題を解決するための手段】

請求項1および請求項2の半導体メモリでは、メモリセルは、転送トランジスタおよび駆動トランジスタを有している。転送トランジスタのゲートは、ワード線にそれぞれ接続されている。転送トランジスタおよび駆動トランジスタの基板は、第1基板線にそれぞれ接続されている。第1ドライバ回路の第1バッファは、ワード線に供給する電圧をそれぞれ生成する。2ドライバ回路の第2バッファは、第1バッファに同期して動作し、第1基板線に供給する電圧をそれぞれ生成する。転送トランジスタおよび駆動トランジスタの基板電圧は、ワード線の選択・非選択に応じて変化する。このため、転送トランジスタおよび駆動トランジスタの閾値電圧は、ワード線の選択・非選択に応じて変化する。

## 【0010】

各第2バッファは、ワード線の選択中（メモリセルのアクセス時）に、第1基板線に転送トランジスタおよび駆動トランジスタの閾値電圧を低くする電圧を供給し、ワード線の非選択中（スタンバイ時）に、転送トランジスタおよび駆動トランジスタの閾値電圧を高くする電圧を供給する。このため、メモリセルのアクセス時の動作速度を向上でき、スタンバイ時のリーク電流を削減できる。ワード線と第1基板線は、それぞれ第1バッファおよび第2バッファに接続されている

ため、第1基板線の電圧をワード線と異なる電圧に設定できる。第1基板線の電圧をワード線の電圧と独立に設定できるため、メモリセルの電気的特性を向上できる。この結果、半導体メモリの動作時にアクセス時間を短縮でき、スタンバイ時にスタンバイ電流を削減できる。

## 【0011】

請求項3の半導体メモリでは、各第2バッファは、ワード線の選択時に第1基板線に電源電圧を供給する。このため、第1基板線に供給する高レベル側の電圧を生成する回路を不要にできる。この結果、半導体メモリのチップサイズの増加を防止でき、消費電力の増加を防止できる。

請求項4の半導体メモリでは、各第2バッファは、ワード線の選択時に、転送トランジスタおよび駆動トランジスタのソース、ドレインと基板との間に形成されるp-n接合の順方向電圧より低い第1電圧を第1基板線に供給する。このため、メモリセルのアクセス時にトランジスタに順方向電圧が流れることを防止できる。すなわち、メモリセルが誤動作することを防止できる。

## 【0012】

請求項5の半導体メモリでは、各第2バッファは、ワード線の非選択時に第1基板線に接地電圧を供給する。このため、第1基板線に供給する低レベル側の電圧を生成する回路を不要にできる。この結果、半導体メモリのチップサイズの増加および消費電力の増加を防止できる。

請求項6の半導体メモリでは、負電圧生成回路は、負電圧を生成する。各第2バッファは、ワード線の非選択時に第1基板線に負電圧を供給する。このため、スタンバイ時に、メモリセルの転送トランジスタおよび駆動トランジスタのリーク電流を削減でき、スタンバイ電流をさらに削減できる。

## 【0013】

請求項7の半導体メモリでは、各第2バッファは、ワード線の非選択時に第1基板線に接地電圧を供給する。このため、第1基板線に供給する高レベル側の電圧を生成する回路を不要にできる。この結果、半導体メモリのチップサイズの増加および消費電力の増加を防止できる。

請求項8および請求項9の半導体メモリでは、メモリセルは、転送トランジス

タおよび負荷トランジスタを有している。転送トランジスタのゲートは、ワード線にそれぞれ接続されている。負荷トランジスタの基板は、第2基板線それぞれ接続されている。第1ドライバ回路の第1バッファは、ワード線に供給する電圧をそれぞれ生成する。第3ドライバ回路の第3バッファは、第1バッファに同期して動作し、第2基板線に供給する電圧をそれぞれ生成する。このため、負荷トランジスタの閾値電圧は、ワード線の選択・非選択に応じて変化する。

#### 【0014】

各第3バッファは、ワード線の選択中（メモリセルのアクセス時）に、第2基板線に負荷トランジスタの閾値電圧を低くする電圧を供給し、ワード線の非選択中（スタンバイ時）に、第2基板線に負荷トランジスタの閾値電圧を高くする電圧を供給する。このため、メモリセルのアクセス時の動作速度を向上でき、スタンバイ時のリーク電流を削減できる。ワード線と第2基板線は、それぞれ第1バッファおよび第3バッファに接続されているため、第2基板線の電圧をワード線と異なる電圧に設定できる。第2基板線の電圧をワード線の電圧と独立に設定できるため、メモリセルの電気的特性を向上できる。この結果、半導体メモリの動作時にアクセス時間を短縮でき、スタンバイ時にスタンバイ電流を削減できる。

#### 【0015】

請求項10の半導体メモリでは、昇圧回路は、電源電圧より高い昇圧電圧を生成する。各第3バッファは、ワード線の選択時に第2基板線に電源電圧を供給し、ワード線の非選択時に第2基板線に電源電圧より高い昇圧電圧を供給する。このため、スタンバイ時に、メモリセルの転送トランジスタおよび駆動トランジスタのリーク電流を削減でき、スタンバイ電流をさらに削減できる。

#### 【0016】

##### 【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。図中、太線で示した信号線は、複数本で構成されていることを示している。頭に"/"が付く信号は、負論理を示している。図中の二重丸は、外部端子を示している。以降の説明では、"チップセレクト信号"を"/CS信号"というように、信号名を略して表す場合がある。

図1は、本発明の半導体メモリの第1の実施形態を示している。この実施形態

は、請求項1、請求項2、請求項3および請求項5に対応している。この半導体メモリは、シリコン基板上にCMOSプロセスを使用してSRAMとして形成されている。

#### 【0017】

SRAMは、コマンドバッファ10、アドレスバッファ12、データ入出力バッファ14、動作制御回路16、アドレスデコーダ18、20およびメモリコア22を有している。

コマンドバッファ10は、外部からコマンド信号（チップセレクト信号/CS、書き込みイネーブル信号/WEおよび出力イネーブル信号/OE）を受信する。アドレスバッファ12は、アドレス端子を介してアドレス信号ADを受信し、受信した信号をロウアドレス信号RAD（上位アドレス）およびコラムアドレス信号CAD（下位アドレス）として出力する。

#### 【0018】

データ入出力バッファ14は、読み出し動作時にメモリコア22からの読み出しデータをデータバスDBを介して受信し、受信したデータをデータ端子DQに出力し、書き込み動作時に書き込みデータをデータ端子DQを介して受信し、受信したデータをデータバスDBに出力する。

動作制御回路16は、コマンドバッファ10から供給されるコマンド信号を解読し、メモリコア22を動作させるための制御信号を出力する。アドレスデコーダ18は、ロウアドレス信号RADをデコードし、デコード信号RAD2として出力する。アドレスデコーダ20は、コラムアドレス信号CADをデコードし、デコード信号CAD2として出力する。

#### 【0019】

メモリコア22は、メモリセルアレイARY、ワードデコーダWDEC、ウェルドライバPWD、センスアンプSA、コラムデコーダCDECおよび入出力制御回路I/Oを有している。メモリセルアレイARYは、複数のワード線WL、複数の第1基板線SL1、相補のビット線BL、/BLと、ワード線WLおよびビット線BL、/BLの交点に配置されたメモリセルMCを有している。第1基板線SL1は、隣接する2つのメモリセルMCの間に、ワード線WLの配線方向に沿って配線されている。

## 【0020】

ワードデコーダWDECは、アドレスデコーダ18からのデコード信号RAD2に応じて、ワード線WLのいずれかを駆動（選択）する。ウエルドライバPWDは、デコード信号RAD2に応じて、第1基板線SL1のいずれかを駆動（選択）する。コラムデコーダCDECは、アドレスデコーダ20からのデコード信号CAD2に応じて複数組のビット線BL、/BLのいずれかをデータバスDBに接続する。ワードデコーダWDECおよびウエルドライバPWDは、メモリセルアレイARYの一側（図の左側）にビット線BL、/BLの配線方向に沿って配置されている。

## 【0021】

図2は、図1に示したメモリコア22の要部の詳細を示している。

メモリセルアレイARYには、太い破線枠で示した複数のメモリセルMCがマトリックス状に配置されている。メモリセルMCは、2つの転送トランジスタTT、2つの駆動トランジスタDTおよび2つの負荷トランジスタLTを有している。転送トランジスタTTおよび駆動トランジスタDTは、nMOSトランジスタで構成され、負荷トランジスタLTは、pMOSトランジスタで構成されている。以下、nMOSトランジスタ、pMOSトランジスタを、単にnMOS、pMOSとも称する。

## 【0022】

負荷トランジスタLTおよび駆動トランジスタDTにより、入力と出力とが互いに接続された2つのCMOSインバータが形成されている。負荷トランジスタLTのソースは、電源線VDD（例えば2V）に接続されている。駆動トランジスタDTのソースは、接地線VSS（0V）に接続されている。転送トランジスタTTは、CMOSインバータの入力をビット線BL、/BLにそれぞれ接続している。転送トランジスタTTのゲートは、ワード線に接続されている。すなわち、メモリセルMCを構成するトランジスタの接続は、一般の6トランジスタタイプのSRAMのメモリセルと同じである。

## 【0023】

転送トランジスタTTおよび駆動トランジスタDTの基板（p形ウエル領域PW；図中の一点鎖線）は、第1基板線SL1に接続されている。負荷トランジスタLTの基板（n形ウエル領域NW；図中の二点鎖線）は、特に図示していないが電源線VDD

に接続されている。

図の上下方向に隣接する2つのメモリセルMCは、鏡面対称に形成されている。nMOSの基板領域（p形ウエル領域）PWは、隣接する2つのメモリセル領域に重複して、ワード線WLの配線方向に沿って形成されている。すなわち、各ウエル領域PWは、隣接する2つのメモリセルMCに共通に形成されている。

#### 【0024】

同様に、pMOSの基板領域（n形ウエル領域）NWは、隣接する2つのメモリセル領域に重複して、ワード線WLの配線方向に沿って形成されている。すなわち、各ウエル領域NWは、隣接する2つのメモリセルMCに共通に形成されている。ウエル領域PW、NWをそれぞれ2つのメモリセルMCで共有することで、メモリセルMC間の素子分離領域の面積を小さくでき、メモリセルアレイARYの面積を小さくできる。SRAM等の半導体メモリでは、メモリセルアレイARYは、チップ面積のほとんどを占めている。このため、メモリセルアレイARYの面積を小さくすることで、チップサイズが小さくなり、チップコストが削減される。

#### 【0025】

ワードデコーダWDECは、デコード信号RAD2のデコード回路（図示せず）と、ワード線WLをそれぞれ駆動する複数のワードバッファBUF1（第1バッファ）とを有している。ワードバッファBUF1は、デコード信号RAD2に応じてそのいずれかが活性化される。活性化されたワードバッファBUF1は、対応するワード線WLに電源電圧VDDを供給する。活性化されないワードバッファBUF1は、対応するワード線WLに接地電圧VSSを供給する。すなわち、ワードデコーダWDECは、ワード線WLを駆動するワードバッファBUF1を有する第1ドライバ回路として動作する。

#### 【0026】

ウエルドライバPWDは、デコード信号RAD2のデコード回路（図示せず）と、第1基板線SL1をそれぞれ駆動する複数のウエルバッファ（第2バッファ）BUF2とを有している。ウエルバッファBUF2は、ウエル領域PWに対応してそれぞれ形成するため、ワードバッファBUF1の間にそれぞれ配置されている。ウエルバッファBUF2をワードバッファBUF1の間に配置することで、第1基板線SL1をワード線WLに交差することなく配線できる。このため、メモリセルアレイARYのレイアウト

設計は容易になる。

【0027】

ウエルバッファBUF2は、隣接する2つのワードバッファBUF1に対応してそれぞれ形成されている。ウエルバッファBUF2は、隣接する2つのワードバッファBUF1の一方が活性化されたときに活性化される。より詳細には、デコード信号RAD2のうち下位1ビットを除いたデコード信号がウエルドライバPWDのデコード回路に供給される。活性化されたウエルバッファBUF2は、対応する第1基板線SL1に電源電圧VDDを供給する。活性化されないウエルバッファBUF2は、対応する第1基板線SL1に接地電圧VSSを供給する。すなわち、ウエルドライバPWDは、第1基板線SL1を駆動するウエルバッファBUF2を有する第2ドライバ回路として動作する。

【0028】

図3は、図2に示したメモリセルMCの断面構造を示している。nMOSは、転送トランジスタTTを示し、pMOSは、負荷トランジスタLTを示している。図中”p+”は、高濃度のp形拡散層、”n+”は、高濃度のn形拡散層を示している。

p形の基板PSUB（シリコン基板）には、n形不純物が導入され、ウエル領域NW1、およびpMOSの基板領域であるn形ウエル領域NWが形成されている。ウエル領域NW1の表面には、p形不純物が導入され、nMOSの基板領域であるp形ウエル領域PWが形成されている。

【0029】

このように、一方のウエル領域（この例ではPW）と基板PSUBとが分離した構造は、一般に3重ウエル構造と称されている。3重ウエル構造にすることで、nMOSのウエル領域PWと、基板PSUBとを電気的に容易に分離できる。すなわち、図2に示したように、電気的に分離された複数のウエル領域PWを形成できる。なお、p形基板では、電気的に分離された複数のn形のウエル領域NWは、n形不純物を導入するだけで形成できる。

【0030】

nMOSのソース、ドレイン（ともにn+層）は、ウエル領域PWの表面にn形不純物を導入して形成されている。nMOSのソース・ドレインの一方は、ビット線BLま

たは/BLに接続されている。nMOSのゲートは、ワード線WLに接続されている。nMOSのソース・ドレインの他方は、pMOSのソース・ドレインの一方に接続されている。nMOSの基板（ウエル領域PW）、p形拡散領域（p+層）を介して第1基板線SL1に接続されている。

#### 【0031】

pMOSのソース、ドレイン（ともにp+層）は、ウエル領域NWの表面にp形不純物を導入して形成されている。pMOSのソース・ドレインの他方は、電源線VDDに接続されている。pMOSのゲートは、図示しないCMOSインバータの出力に接続されている。pMOSの基板（nウエルNW）は、n形不純物が導入された拡散領域（n+層）を介して、電源線VDDに接続されている。

#### 【0032】

図4は、第1の実施形態のSRAMの動作を示している。

SRAMを制御するシステム装置は、読み出し動作または書き込み動作を実行するときにチップセレクト信号/CSを低レベルに変化させ、SRAMを活性状態にする（この例では、読み出し動作を示す）。システム装置は、SRAMにアクセスしないとき、チップセレクト信号/CSを高レベルに変化させ、SRAMをスタンバイ状態にする。

#### 【0033】

チップセレクト信号/CSの低レベル期間にアドレス信号AD（AD1）が供給されると、ワードデコーダWDECは、アドレス信号AD1に対応するワード線WLを選択し、このワード線WLの電圧を電源電圧VDDに変化する（図4（a））。ウエルドライバPWDは、アドレス信号AD1のうち下位1ビットを除くアドレス信号に対応する第1基板線SL1を選択し、この第1基板線SL1の電圧を電源電圧VDDに変化する（図4（b））。個々で、ウエルドライバPWDのウエルバッファBUF2は、ワードデコーダWDECのワードバッファBUF1に同期して動作する。

#### 【0034】

選択されたワード線WLに接続されているメモリセルMCは、転送トランジスタTTおよびビット線BL、/BLを介してデータバスDBにデータDATAを出力する（図4（c））。データバスDBに出力されたデータDATAは、出力イネーブル信号/OEが低

レベルの間、データ端子DQに出力される（図4（d））。すなわち、読み出し動作が実行される。

## 【0035】

ワード線WLにより選択されたメモリセルMCのp形ウエル領域PWには、ワード線WLの選択中に第1基板線SL1を介して電源電圧VDDが供給される。このため、動作するメモリセルMCの転送トランジスタTTおよび駆動トランジスタDTの閾値電圧は低くなる。すなわち、ウエルバッファBUF2は、ワード線WLに転送トランジスタTTをオンさせる電圧が供給されている時に、第1基板線SL1に転送トランジスタTTおよび駆動トランジスタDTの閾値電圧を低くする電圧を供給する。したがって、転送トランジスタTTおよび駆動トランジスタDTのオン抵抗が低くなり、ソース・ドレイン間電流は増加する。この結果、メモリセルMCの動作が高速になり、アクセス時間が短縮される。

## 【0036】

なお、複数のウエル領域PWが、メモリセルアレイARYに形成されているため、各ウエル領域PWの寄生容量等の負荷は小さくなる。したがって、ウエルバッファBUF2の駆動能力を最小限にでき、メモリセルMCのアクセス時の消費電流を最小限にできる。

ワード線WLは、ウエル領域PWに接続されることなく、転送トランジスタTTのゲートのみに接続されている。したがって、ワード線WLの選択に同期してウエル領域PWの電圧を変化させる仕様のSRAMにおいても、ワード線WLの負荷が増加することを防止できる。この結果、ワードバッファBUF1が動作を開始してから転送トランジスタTTがオンするまでの時間は、ワード線WLをウエル領域PWに直接接続しているSRAMに比べ、大幅に短縮される。このため、メモリセルMCの動作はさらに高速になり、アクセス時間はさらに短縮される。

## 【0037】

チップセレクト信号/CSが高レベルに変化すると、SRAMは、スタンバイ状態に移行する。ワードデコーダWDECは、ワード線WLの電圧を接地電圧VSSに変化させる（図4（e））。ウエルドライバPWDは、第1基板線SL1の電圧を接地電圧VSSに変化させる（図4（f））。メモリセルアレイARYの全てのウエル領域PWには

、第1基板線SL1を介して接地電圧VSSが供給される。転送トランジスタTTおよび駆動トランジスタDTの閾値電圧は、メモリセルMCのアクセス中に比べ高くなる。換言すれば、ウエルバッファBUF2は、ワード線WLに転送トランジスタTTをオフさせる電圧が供給されている時に、第1基板線SL1に転送トランジスタTTおよび駆動トランジスタDTの閾値電圧を高くする電圧を供給する。したがって、SRAMのスタンバイ状態において、転送トランジスタTTおよび駆動トランジスタDTのオフ抵抗が高くなり、ソース・ドレイン間を流れるリーク電流は減少する。この結果、スタンバイ状態での消費電流（スタンバイ電流）は減少する。

## 【0038】

以上、本実施形態では、転送トランジスタTTおよび駆動トランジスタLTの閾値電圧を、ワード線WLの選択期間に同期して低くし、ワード線WLの非選択期間に同期して高くした。このため、メモリセルMCのアクセス時の動作速度を向上でき、スタンバイ時のリーク電流を削減できる。この結果、SRAMの動作時にアクセス時間を短縮でき、スタンバイ電流を削減できる。

## 【0039】

第1基板線SL1の電圧をワード線WLの電圧と独立して設定できるため、メモリセルMCの電気的特性を向上できる。

第1基板線SL1に電源電圧VDDおよび接地電圧VSSを供給することで、第1基板線SL1に供給する電圧を生成する回路を不要にできる。この結果、SRAMのチップサイズの増加および消費電力の増加を防止できる。

## 【0040】

図5は、本発明の半導体メモリの第2の実施形態におけるメモリセルアレイの要部を示している。この実施形態は、請求項1、請求項2、請求項4および請求項5に対応している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態の半導体メモリは、シリコン基板上にCMOSプロセスを使用してSRAMとして形成されている。SRAMを構成する各ブロックは、第1の実施形態（図1）とほぼ同じである。

## 【0041】

この実施形態では、ウエルドライバPWDのウエルバッファBUF2は、隣接するワードバッファBUF1がワード線WLに電源電圧VDDを供給するときに、第1基板線SL1に電源電圧より低い第1電圧VDD1を供給する。メモリセルアレイARYのその他の構成は、第1の実施形態（図2）と同じである。

第1電圧VDD1は、抵抗分割等により電源電圧VDDを降圧することで生成される。第1電圧VDD1は、転送トランジスタTTおよび駆動トランジスタDTのp-n接合の順方向電圧より低い電圧に設定されている。すなわち、電源電圧VDD>順方向電圧>第1電圧VDD1の関係がある。このため、メモリセルMCのアクセス時に、第1基板線SL1に第1電圧VDD1が供給されても、転送トランジスタTTおよび駆動トランジスタDTのp-n接合に順方向電流が流れることが防止される。したがって、アクセス時の動作電流は下がり、アクセス時の誤動作も防止される。

#### 【0042】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、ワード線WLの選択時に、転送トランジスタTTおよび駆動トランジスタDTのソース、ドレインと基板との間に形成されるp-n接合の順方向電圧より低い第1電圧VDD1を第1基板線SL1に供給した。このため、メモリセルMCのアクセス時にトランジスタに順方向電圧が流れることを防止できる。すなわち、メモリセルMCが誤動作することを防止できる。また、メモリセルMCのアクセス時に、アクセスに寄与しない無駄な電流がメモリセルMCに流れることを防止できる。

#### 【0043】

図6は、本発明の半導体メモリの第3の実施形態を示している。この実施形態は、請求項1、請求項2、請求項3および請求項6に対応している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態のSRAMには、第1の実施形態のメモリコア22の代わりにメモリコア22Aが形成されている。また、負電圧”-VP”を生成するチャージポンプ24（負電圧生成回路）が新たに形成されている。チャージポンプ24で生成される負電圧”-VP”は、ウエルドライバPWDに供給される。その他の構成は、第1の

実施形態とほぼ同じである。

## 【0044】

図7は、図6に示したメモリコア22Aの要部の詳細を示している。

ウエルドライバPWDのウエルバッファBUF2は、隣接する2つのワードバッファB  
BUF1の一方がワード線WLに電源電圧VDDを供給するときに、第1基板線SL1に電源  
電圧VDDをそれぞれ供給する。ウエルバッファBUF2は、隣接する2つのワードバ  
ッファBUF1の両方がワード線WLに接地電圧VSSを供給するときに、第1基板線SL1  
に負電圧”-VP”をそれぞれ供給する。メモリセルアレイARYのその他の構成は、  
第1の実施形態（図2）と同じである。

## 【0045】

この実施形態では、スタンバイ状態において、ウエルバッファBUF2は、第1基板  
線SL1に負電圧”-VP”を供給する。このため、スタンバイ状態において、転送ト  
ランジスタTTおよび駆動トランジスタDTの閾値電圧は、第1および第2の実施形  
態より高くなる。したがって、スタンバイ電流はさらに小さくなる。

この実施形態においても、上述した第1の実施形態と同様の効果を得ることが  
できる。さらに、この実施形態では、ワード線WLの非選択時に第1基板線SL1に  
負電圧”-VP”を供給したので、スタンバイ状態において、メモリセルMCの転送ト  
ランジスタTTおよび駆動トランジスタDTのリーク電流を削減できる。この結果、  
スタンバイ電流をさらに削減できる。

## 【0046】

図8は、本発明の半導体メモリの第4の実施形態におけるメモリセルアレイの  
要部を示している。この実施形態は、請求項1、請求項2、請求項4および請求  
項6に対応している。第1および第3の実施形態で説明した要素と同一の要素に  
ついては、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態の半導体メモリは、シリコン基板上にCMOSプロセスを使用してSR  
AMとして形成されている。SRAMを構成する各ブロックは、第3の実施形態（図6  
）とほぼ同じである。

## 【0047】

この実施形態では、ウエルドライバPWDのウエルバッファBUF2は、隣接する2

つワードバッファBUF1の一方がワード線WLに電源電圧VDDを供給するときに、第1基板線SL1に電源電圧より高い第1電圧VDD1を供給する。第1電圧VDD1は、転送トランジスタTTおよび駆動トランジスタDTのp-n接合の順方向電圧より低い電圧に設定されている。すなわち、順方向電圧>第1電圧VDD1>電源電圧VDDの関係がある。

## 【0048】

また、ウエルバッファBUF2は、隣接する2つのワードバッファBUF1の両方がワード線WLに接地電圧VSSを供給するときに、第1基板線SL1に負電圧”-VP”を供給する。メモリセルアレイARYのその他の構成は、第3の実施形態（図7）と同じである。

メモリセルMCのアクセス時に、転送トランジスタTTおよび駆動トランジスタDTの基板（ウエル領域PW）に、電源電圧VDDより高い第1電圧VDD1が供給される。このため、転送トランジスタTTおよび駆動トランジスタDTの動作速度は早くなる。また、第2の実施形態と同様に、メモリセルMCのアクセス時に、転送トランジスタTTおよび駆動トランジスタDTのp-n接合に順方向電流が流れないため、アクセス時にアクセスに寄与しない無駄な電流はなくなり、同時にアクセス時の誤動作が防止される。

## 【0049】

スタンバイ状態では、転送トランジスタTTおよび駆動トランジスタDTの基板（ウエル領域PW）に負電圧”-VP”が供給されるため、第3の実施形態と同様に、スタンバイ電流は削減される。

この実施形態においても、上述した第1～第3の実施形態と同様の効果を得ることができる。

## 【0050】

図9は、本発明の半導体メモリの第5の実施形態におけるメモリセルアレイの要部を示している。この実施形態は、請求項1、請求項2、請求項4、請求項6および請求項7に対応している。第1および第3の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

## 【0051】

この実施形態の半導体メモリは、シリコン基板上にCMOSプロセスを使用してSRAMとして形成されている。SRAMを構成する各ブロックは、第3の実施形態（図6）とほぼ同じである。

この実施形態では、ウエルドライバPWDのウエルバッファBUF2は、隣接する2つのワードバッファBUF1の一方がワード線WLに電源電圧VDDを供給するときに、第1基板線SL1に接地電圧VSSを供給する。接地電圧VSSは、転送トランジスタTTおよび駆動トランジスタDTのp-n接合の順方向電圧より低い第1電圧である。ウエルバッファBUF2におけるインバータの入力端子に供給される信号の論理は、ワード線WLに電源電圧VDDを供給するワードバッファBUF1の入力端子に供給される信号の論理と同じである。また、ウエルバッファBUF2は、隣接する2つのワードバッファBUF1の両方がワード線WLに接地電圧VSSを供給するときに、第1基板線SL1に負電圧”-VP”を供給する。メモリセルアレイARYのその他の構成は、第3の実施形態（図7）と同じである。

## 【0052】

この実施形態は、高速動作を実現するためにメモリセルMCのnMOSトランジスタの閾値電圧を低く設定したSRAMに適用される。閾値電圧を低く設定した場合、トランジスタのサブスレッショルド電流（リーク電流）が大きいため、本発明を適用しない場合スタンバイ電流は大きくなる。転送トランジスタTTおよび駆動トランジスタDTの基板（ウエル領域PW）を、ワード線WLの選択時（アクセス時）に接地電圧VSSに設定し、ワード線WLの非選択時（スタンバイ時）に負電圧”-VP”に設定することで、閾値電圧が低く設定されている場合にもスタンバイ電流は抑えられ、アクセス時間は短縮される。

## 【0053】

この実施形態においても、上述した第1および第3の実施形態と同様の効果を得ることができる。さらに、この実施形態では、ワード線WLの非選択時に第1基板線SL1に接地電圧VSSを供給したので、第1基板線SL1に供給する高レベル側の電圧を生成する回路を不要にできる。この結果、SRAMのチップサイズの増加および消費電力の増加を防止できる。

## 【0054】

図10は、本発明の半導体メモリの第6の実施形態を示している。この実施形態は、請求項1、請求項2、請求項3、請求項6および請求項8に対応している。第1および第3の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態のSRAMには、第3の実施形態のメモリコア22Aの代わりにメモリコア22Bが形成されている。また、昇圧電圧である第2電圧VDD2を生成するチャージポンプ26（昇圧回路）が新たに形成されている。チャージポンプ26で生成される第2電圧VDD2は、メモリセルMCのpMOSトランジスタの基板であるウエルドライバNWD（後述）に供給される。その他の構成は、第3の実施形態と同じである。メモリコア22Bは、ワードデコーダWDECおよびウエルデコーダPWDの他に、ウエルデコーダNWDが新たに形成されている。ウエルデコーダNWDの出力は、第2基板線SL2に接続されている。

## 【0055】

図11は、図10に示したメモリコア22Bの要部の詳細を示している。

図11では、pMOSトランジスタの基板（n形ウエル領域NW）を図の中央に記載している。第1の実施形態と同様に、隣接する2つのメモリセルMCは、鏡面対称に形成されている。nMOSの基板（p形ウエル領域PW）は、隣接する2つのメモリセルMCに共通に形成されている。同様に、pMOSの基板（n形ウエル領域NW）は、前述した実施形態と同様に、隣接する2つのメモリセルMCに共通に形成されている。ウエル領域NW（負荷トランジスタLTの基板）は、第2基板線SL2に接続されている。

## 【0056】

メモリコア22Bは、メモリセルアレイARYの一側に、ワードデコーダWDEC、ウエルデコーダPWDおよびウエルデコーダNWDを有している。ウエルデコーダPWDおよびウエルデコーダNWDは、ワードデコーダWDECの間に交互に配置されている。ワードデコーダWDECおよびウエルデコーダPWDは、第3の実施形態（図7）と同じである。ワードデコーダWDECは、出力がワード線WLにそれぞれ接続されたワードバッファBUF1を有している。ウエルデコーダPWDは、出力が第1基板線SL1に

それぞれ接続されたウエルバッファBUF2を有している。

## 【0057】

ウエルデコーダNWDは、デコード信号RAD2のデコード回路（図示せず）と、第2基板線SL2をそれぞれ駆動する複数のウエルバッファBUF3（第3バッファ）とを有している。ウエルバッファBUF3は、隣接する2つのワード線WLの一方が選択されたとき、第2基板線SL2に電源電圧VDDを供給する。ウエルバッファBUF3は、隣接する2つのワード線WLの両方が非選択されたとき、第2基板線SL2に電源電圧VDDより高い第2電圧VDD2を供給する。このように、ウエルドライバNWDは、第2基板線SL2を駆動するウエルバッファBUF3を有する第3ドライバ回路として動作する。

## 【0058】

この実施形態では、SRAMのスタンバイ状態において、負荷トランジスタLTの基板に電源電圧より高い第2電圧が供給されるため、負荷トランジスタLTの閾値電圧は高くなり、リーク電流は削減される。メモリセルMCのアクセス時に、負荷トランジスタLTの基板に、電源電圧VDDが供給される。このため、負荷トランジスタLTの閾値電圧は低くなり、オン抵抗が低くなる。転送トランジスタTTおよび駆動トランジスタDTの動作は、第3の実施形態と同じである。

## 【0059】

転送トランジスタTTおよび駆動トランジスタDTの閾値電圧とともに、負荷トランジスタの閾値電圧を、ワード線WLの選択・非選択に応じて変化させることで、メモリセルMCのアクセス時にトランジスタは高速に動作し、メモリセルMCの非アクセス時（スタンバイ時）にトランジスタのリーク電流は削減される。

この実施形態においても、上述した第1および第3の実施形態と同様の効果を得ることができる。さらに、この実施形態では、負荷トランジスタLTの閾値電圧を、ワード線WLの選択期間に同期して低くし、ワード線WLの非選択期間に同期して高くした。このため、メモリセルMCのアクセス時の動作速度を向上でき、スタンバイ時のリーク電流を削減できる。この結果、SRAMの動作時にアクセス時間を短縮でき、スタンバイ電流を削減できる。

## 【0060】

ワード線WLの非選択時に第2基板線SL2に電源電圧VDDより高い第2電圧VDD2を供給したので、スタンバイ時に、メモリセルMCの負荷トランジスタLTのリーク電流を削減できる。この結果、スタンバイ電流をさらに削減できる。

なお、上述した実施形態では、ウエルデコーダPWDとワードデコーダWDECとを、メモリセルアレイARYの一側に配置した例について述べた。あるいは、ウエルデコーダPWD、NWDとワードデコーダWDECとを、メモリセルアレイARYの一側に配置した例について述べた。本発明はかかる実施形態に限定されるものではない。

#### 【0061】

例えば、図12に示すように、ウエルデコーダPWD、NWD（またはウエルデコーダPWD、NWDの一方）を、メモリセルアレイARYにおけるワードデコーダWDECに向する側に配置してもよい。特に、既存のメモリコアに本発明を適用する場合に、図12に示したレイアウトにすることで設計期間を短縮できる。ウエルデコーダPWD、NWDをメモリセルアレイARYの他側に形成する場合、図に示したように、ウエルバッファBUF2、BUF3を交互に配置することで、レイアウト面積を小さくできる。

#### 【0062】

また、上述した実施形態では、ウエルデコーダPWDのウエルバッファBUF2を、ワードバッファBUF1の間に配置した例について述べた。あるいは、ウエルデコーダPWDのウエルバッファBUF2およびウエルデコーダNWDのウエルバッファBUF3を、ワードバッファBUF1の間に交互に配置した例について述べた。本発明はかかる実施形態に限定されるものではない。

#### 【0063】

例えば、図13に示すように、ウエルデコーダPWD、NWD（またはウエルデコーダPWD、NWDの一方）をワードデコーダWDECに沿って独立して形成してもよい。特に、既存のメモリコアに本発明を適用する場合に、図13に示したレイアウトにすることで設計期間を短縮できる。また、図13に示したように、ウエルデコーダPWD、NWDを両方形成する場合ウエルバッファBUF2、BUF3を交互に配置することで、ウエルデコーダPWD、NWDレイアウト面積を小さくできる。

#### 【0064】

上述した実施形態では、本発明をSRAMに適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明をC P U等のロジックLSIまたはシステムメモリに搭載されるSRAMコアに適用してもよい。

以上の実施形態において説明した発明を整理して、付記として開示する。

(付記1) 転送トランジスタおよび駆動トランジスタを有する複数のメモリセルと、

前記転送トランジスタのゲートにそれぞれ接続されている複数のワード線と、

前記ワード線に供給する電圧をそれぞれ生成する複数の第1バッファを有する第1ドライバ回路と、

前記転送トランジスタおよび前記駆動トランジスタの基板にそれぞれ接続されている複数の第1基板線と、

前記第1バッファに同期して動作し、前記第1基板線に供給する電圧をそれぞれ生成する複数の第2バッファを有する第2ドライバ回路とを備えていることを特徴とする半導体メモリ。

(付記2) 付記1記載の半導体メモリにおいて、

前記各第2バッファは、前記ワード線のうち対応するワード線に前記転送トランジスタをオンさせる電圧が供給されている時に、前記第1基板線のうち対応する第1基板線に前記転送トランジスタおよび前記駆動トランジスタの閾値電圧を低くする電圧を供給し、前記対応するワード線に前記転送トランジスタをオフさせる電圧が供給されている時に、前記対応する第1基板線に前記転送トランジスタおよび前記駆動トランジスタの閾値電圧を高くする電圧を供給することを特徴とする半導体メモリ。

(付記3) 付記2記載の半導体メモリにおいて、

前記各第2バッファは、前記対応するワード線に前記転送トランジスタをオンさせる電圧が供給されている時に、前記対応する第1基板線に電源電圧を供給することを特徴とする半導体メモリ。

(付記4) 付記2記載の半導体メモリにおいて、

前記各第2バッファは、前記対応するワード線に前記転送トランジスタをオンさせる電圧が供給されている時に、前記対応する第1基板線に前記転送トランジ

スタのソース、ドレインおよび前記駆動トランジスタのソース、ドレインと基板との間に形成されるp-n接合の順方向電圧より低い第1電圧を供給することを特徴とする半導体メモリ。

(付記5) 付記4記載の半導体メモリにおいて、

前記第1電圧は、電源電圧より低いことを特徴とする半導体メモリ。

【0065】

(付記6) 付記4記載の半導体メモリにおいて、

前記第1電圧は、電源電圧より高いことを特徴とする半導体メモリ。

(付記7) 付記2記載の半導体メモリにおいて、

前記各第2バッファは、前記対応するワード線に前記転送トランジスタをオフさせる電圧が供給されている時に、前記対応する第1基板線に接地電圧を供給することを特徴とする半導体メモリ。

(付記8) 付記2記載の半導体メモリにおいて、

負電圧を生成する負電圧生成回路を備え、

前記各第2バッファは、前記対応するワード線に前記転送トランジスタをオフさせる電圧が供給されている時に、前記対応する第1基板線に前記負電圧を供給することを特徴とする半導体メモリ。

(付記9) 付記8記載の半導体メモリにおいて、

前記各第2バッファは、前記対応するワード線に前記転送トランジスタをオンさせる電圧が供給されている時に、前記対応する第1基板線に接地電圧を供給することを特徴とする半導体メモリ。

(付記10) 付記1記載の半導体メモリにおいて、

前記メモリセルにより構成されるメモリセルアレイを備え、

前記第1および第2ドライバ回路は、前記メモリセルアレイの一側に配置されていることを特徴とする半導体メモリ。

【0066】

(付記11) 付記10記載の半導体メモリにおいて、

前記第2ドライバ回路の第2バッファは、前記第1ドライバ回路の第1バッファの間に配置されていることを特徴とする半導体メモリ。

(付記12) 付記1記載の半導体メモリにおいて、

前記メモリセルにより構成されるメモリセルアレイを備え、

前記第1および第2ドライバ回路は、前記メモリセルアレイの両側にそれぞれ配置されていることを特徴とする半導体メモリ。

【0067】

(付記13) 付記1記載の半導体メモリにおいて、

前記第1基板線がそれぞれ接続されている第1基板領域は、前記メモリセルのうち隣接する2つのメモリセルに共通に形成され、

前記第2バッファは、前記第1基板領域に対応してそれぞれ形成されていることを特徴とする半導体メモリ。

【0068】

(付記14) 転送トランジスタおよび負荷トランジスタを有する複数のメモリセルと、

前記転送トランジスタのゲートにそれぞれ接続されている複数のワード線と、

前記ワード線に供給する電圧をそれぞれ生成する第1バッファを有する第1ドライバ回路と、

前記負荷トランジスタの基板にそれぞれ接続されている複数の第2基板線と、

前記第1バッファに同期して動作し、前記第2基板線に供給する電圧をそれぞれ生成する複数の第3バッファを有する第3ドライバ回路とを備えていることを特徴とする半導体メモリ。

(付記15) 付記14記載の半導体メモリにおいて、

前記各第3バッファは、前記ワード線のうち対応するワード線に前記転送トランジスタをオンさせる電圧が供給されている時に、前記第2基板線のうち対応する第2基板線に前記負荷トランジスタの閾値電圧を低くする電圧を供給し、前記対応するワード線に前記転送トランジスタをオフさせる電圧が供給されている時に、前記対応する第2基板線に前記負荷トランジスタの閾値電圧を高くする電圧を供給することを特徴とする半導体メモリ。

(付記16) 付記15記載の半導体メモリにおいて、

電源電圧より高い昇圧電圧を生成する昇圧回路を備え、

前記各第3バッファは、前記対応するワード線に前記転送トランジスタをオンさせる電圧が供給されている時に、前記対応する第2基板線に電源電圧を供給し、前記対応するワード線に前記転送トランジスタをオフさせる電圧が供給されている時に、前記対応する第2基板線に電源電圧より高い前記昇圧電圧を供給することを特徴とする半導体メモリ。

(付記17) 付記14記載の半導体メモリにおいて、

前記メモリセルにより構成されるメモリセルアレイを備え、

前記第1および第3ドライバ回路は、前記メモリセルアレイの一側に配置されていることを特徴とする半導体メモリ。

#### 【0069】

(付記18) 付記14記載の半導体メモリにおいて、

前記第2ドライバ回路の第2バッファは、前記第1ドライバ回路の第1バッファの間に配置されていることを特徴とする半導体メモリ。

(付記19) 付記14記載の半導体メモリにおいて、

前記メモリセルにより構成されるメモリセルアレイを備え、

前記第1および第2ドライバ回路は、前記メモリセルアレイの両側にそれぞれ配置されていることを特徴とする半導体メモリ。

#### 【0070】

(付記20) 付記14記載の半導体メモリにおいて、

前記第2基板線がそれぞれ接続されている第2基板領域は、前記メモリセルのうち隣接する2つのメモリセルに共通に形成され、

前記第3バッファは、前記第2基板領域に対応してそれぞれ形成されていることを特徴とする半導体メモリ。

#### 【0071】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

#### 【0072】

##### 【発明の効果】

請求項1および請求項2の半導体メモリでは、メモリセルのアクセス時に、第1基板線に転送トランジスタおよび駆動トランジスタの閾値電圧を低くする電圧を供給し、スタンバイ時に、転送トランジスタおよび駆動トランジスタの閾値電圧を高くする電圧を供給したので、メモリセルのアクセス時の動作速度を向上でき、スタンバイ時のリーク電流を削減できる。この結果、半導体メモリの動作時にアクセス時間を短縮でき、スタンバイ時にスタンバイ電流を削減できる。

#### 【0073】

請求項3の半導体メモリでは、半導体メモリのチップサイズの増加および消費電力の増加を防止できる。

請求項4の半導体メモリでは、メモリセルのアクセス時にトランジスタに順方向電圧が流れることを防止でき、メモリセルが誤動作することを防止できる。

請求項5の半導体メモリでは、半導体メモリのチップサイズの増加および消費電力の増加を防止できる。

#### 【0074】

請求項6の半導体メモリでは、スタンバイ時に、メモリセルの転送トランジスタおよび駆動トランジスタのリーク電流を削減でき、スタンバイ電流をさらに削減できる。

請求項7の半導体メモリでは、半導体メモリのチップサイズの増加および消費電力の増加を防止できる。

#### 【0075】

請求項8および請求項9の半導体メモリでは、メモリセルのアクセス時に、第2基板線に負荷トランジスタの閾値電圧を低くする電圧を供給し、スタンバイ時に、第2基板線に負荷トランジスタの閾値電圧を高くする電圧を供給したので、メモリセルのアクセス時の動作速度を向上でき、スタンバイ時のリーク電流を削減できる。この結果、半導体メモリの動作時にアクセス時間を短縮でき、スタンバイ時にスタンバイ電流を削減できる。

#### 【0076】

請求項10の半導体メモリでは、スタンバイ時に、メモリセルの転送トランジスタおよび駆動トランジスタのリーク電流を削減でき、スタンバイ電流をさらに

削減できる。

【図面の簡単な説明】

【図1】

本発明の半導体メモリの第1の実施形態を示すブロック図である。

【図2】

図1に示したメモリコアの要部の詳細を示すブロック図である。

【図3】

図2に示したメモリセルの構造を示す断面図である。

【図4】

第1の実施形態のSRAMの動作を示すタイミング図である。

【図5】

本発明の半導体メモリの第2の実施形態におけるメモリセルアレイの要部を示すブロック図である。

【図6】

本発明の半導体メモリの第3の実施形態を示すブロック図である。

【図7】

図6に示したメモリコアの要部の詳細を示すブロック図である。

【図8】

本発明の半導体メモリの第4の実施形態におけるメモリセルアレイの要部を示すブロック図である。

【図9】

本発明の半導体メモリの第5の実施形態におけるメモリセルアレイの要部を示すブロック図である。

【図10】

本発明の半導体メモリの第6の実施形態を示すブロック図である。

【図11】

図10に示したメモリコアの要部の詳細を示すブロック図である。

【図12】

ウエルデコーダの別の配置例を示すブロック図である。

## 【図13】

ウエルデコーダの別の配置例を示すブロック図である。

## 【符号の説明】

10 コマンドバッファ  
 12 アドレスバッファ  
 14 データ入出力バッファ  
 16 動作制御回路  
 18、20 アドレスデコーダ  
 22、22A、22B メモリコア  
 24、26 チャージポンプ  
 AD アドレス信号  
 ARY メモリセルアレイ  
 BL、/BL ビット線  
 BUF1 ワードバッファ  
 BUF2、BUF3 ウエルバッファ  
 CAD コラムアドレス信号  
 CAD2 デコード信号  
 CDEC コラムデコーダ  
 /CS チップセレクト信号  
 DB データバス  
 DQ データ端子  
 DT 駆動トランジスタ  
 I/O 入出力制御回路  
 LT 負荷トランジスタ  
 MC メモリセル  
 NW n形ウエル領域  
 NWD ウエルドライバ  
 NWELL 基板領域 (n形ウエル領域)  
 /OE 出力イネーブル信号

PW p形ウエル領域

PWD ウエルドライバ

PWELL 基板領域 (p形ウエル領域)

RAD ロウアドレス信号

RAD2 デコード信号

SA センスアンプ

SL1 第1基板線

SL2 第2基板線

TT 転送トランジスタ

VDD 電源線

VDD1 第1電圧

VDD2 第2電圧

-VP 負電圧

VSS 接地線

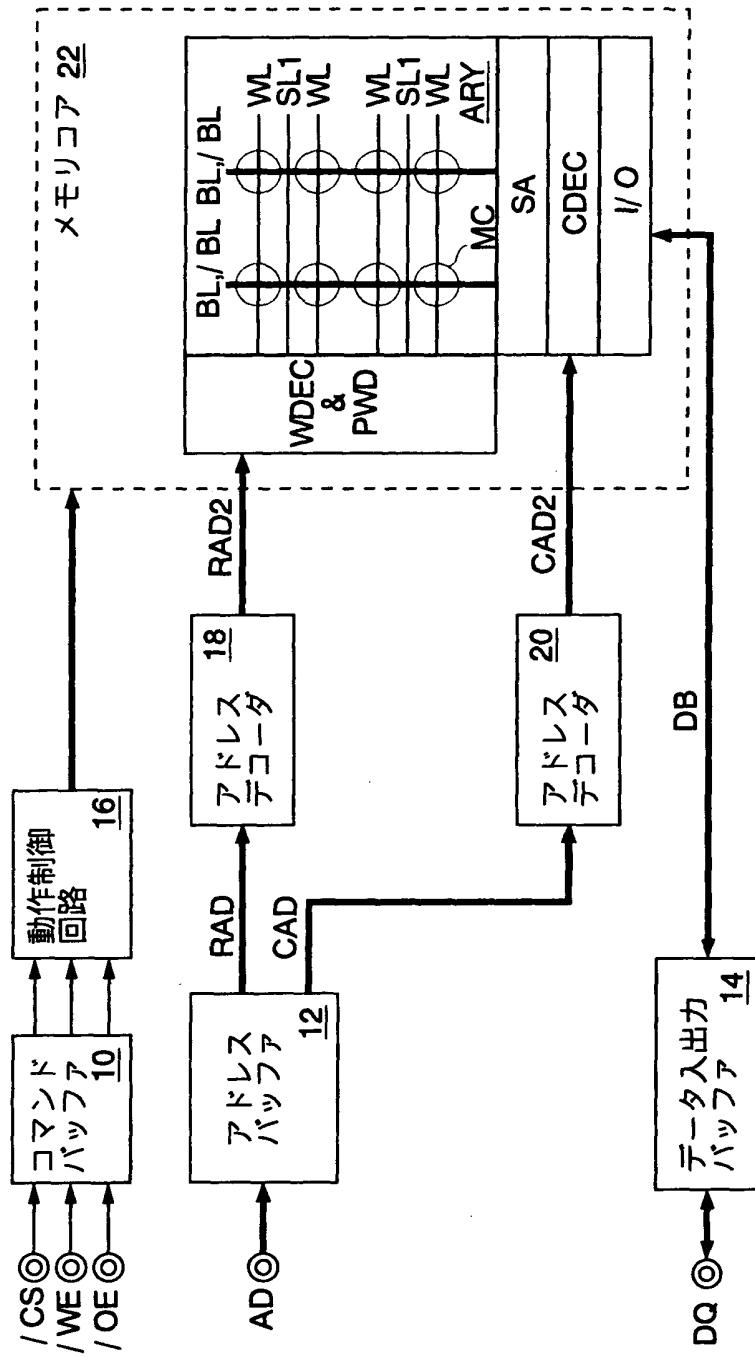
WDEC ワードデコーダ

/WE 書き込みイネーブル信号

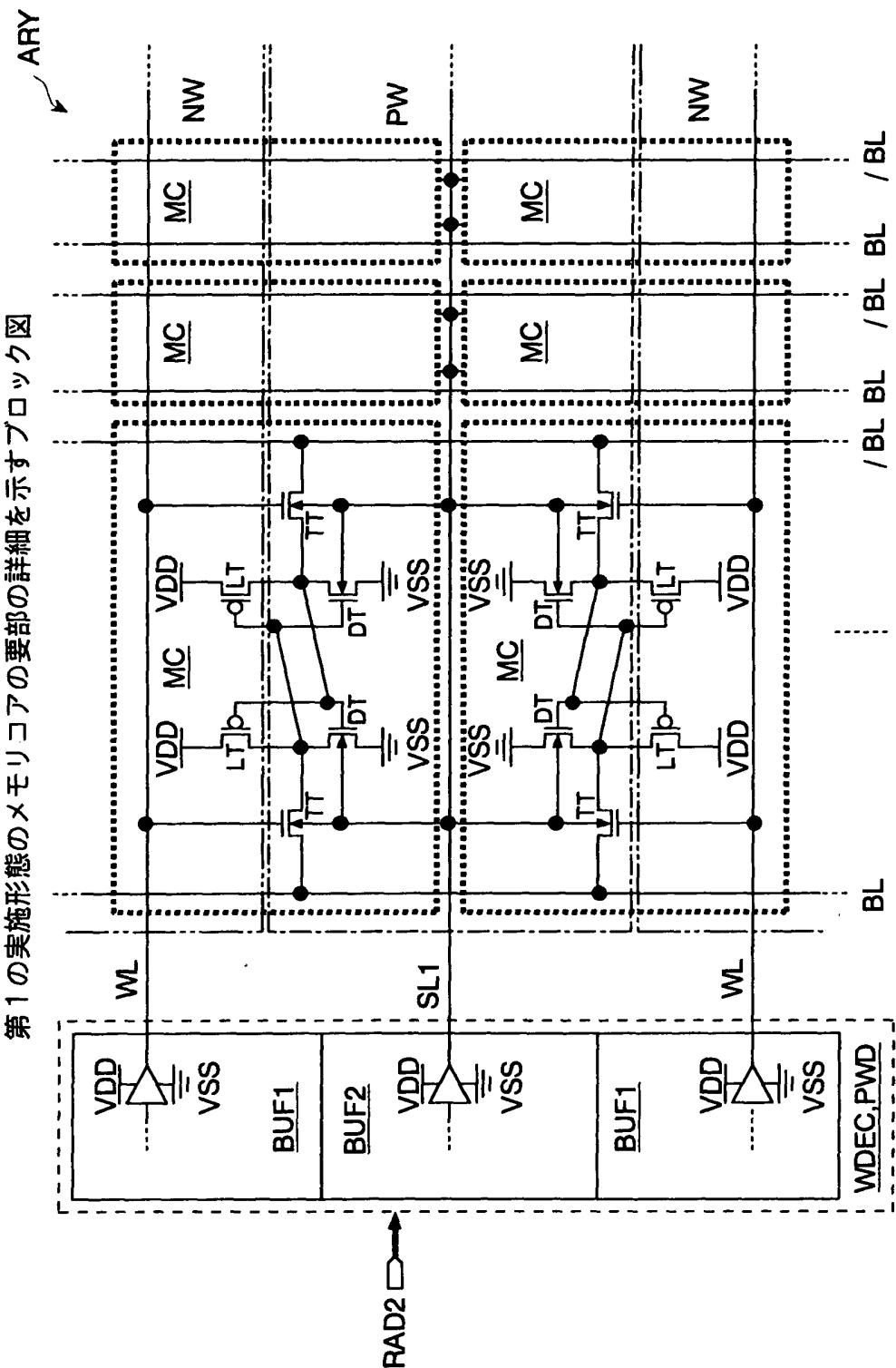
WL ワード線

【書類名】 図面  
 【図1】

第1の実施形態を示すブロック図

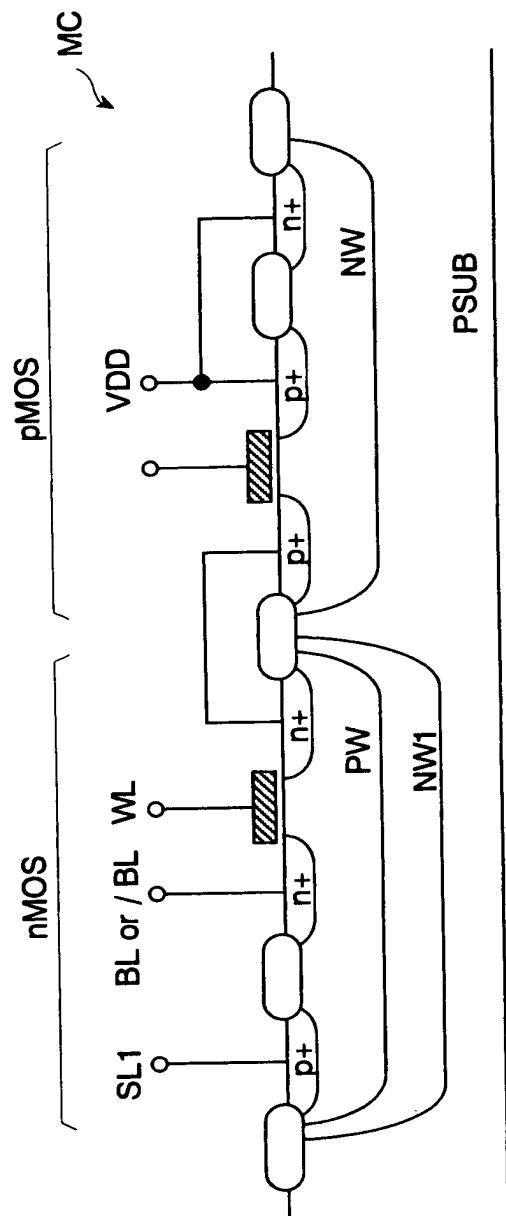


【図2】



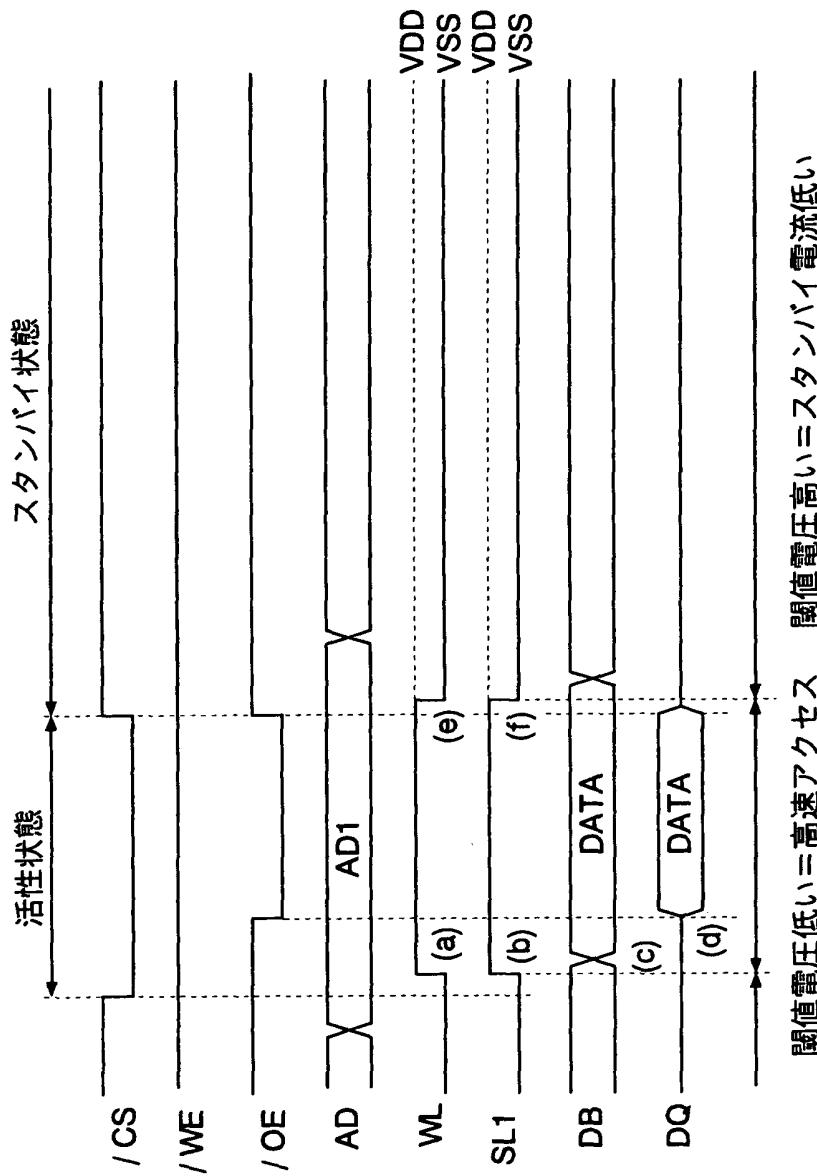
【図3】

図2のメモリセルの構造を示す断面図

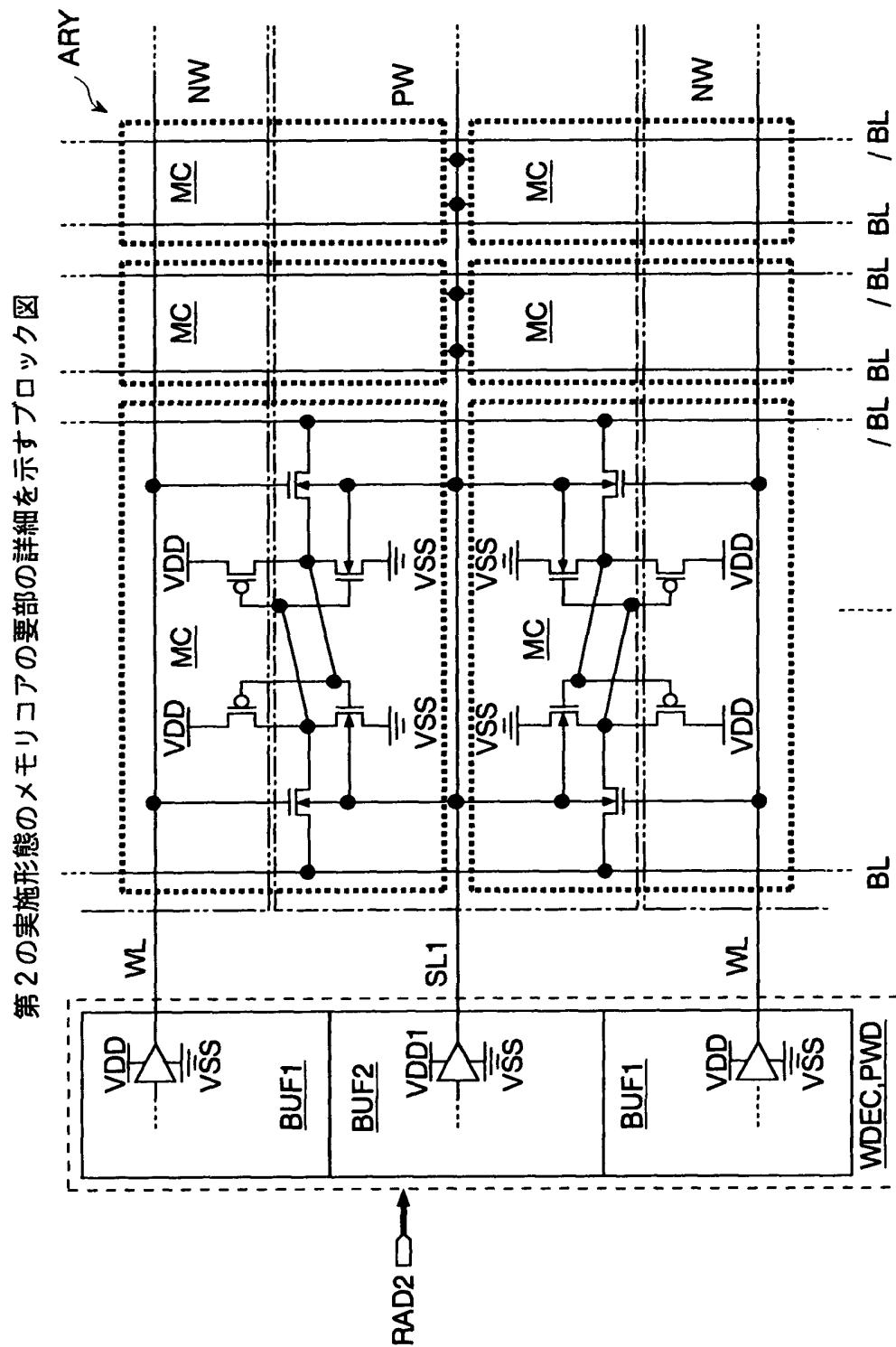


【図4】

第1の実施形態のSRAMの動作を示すタイミング図

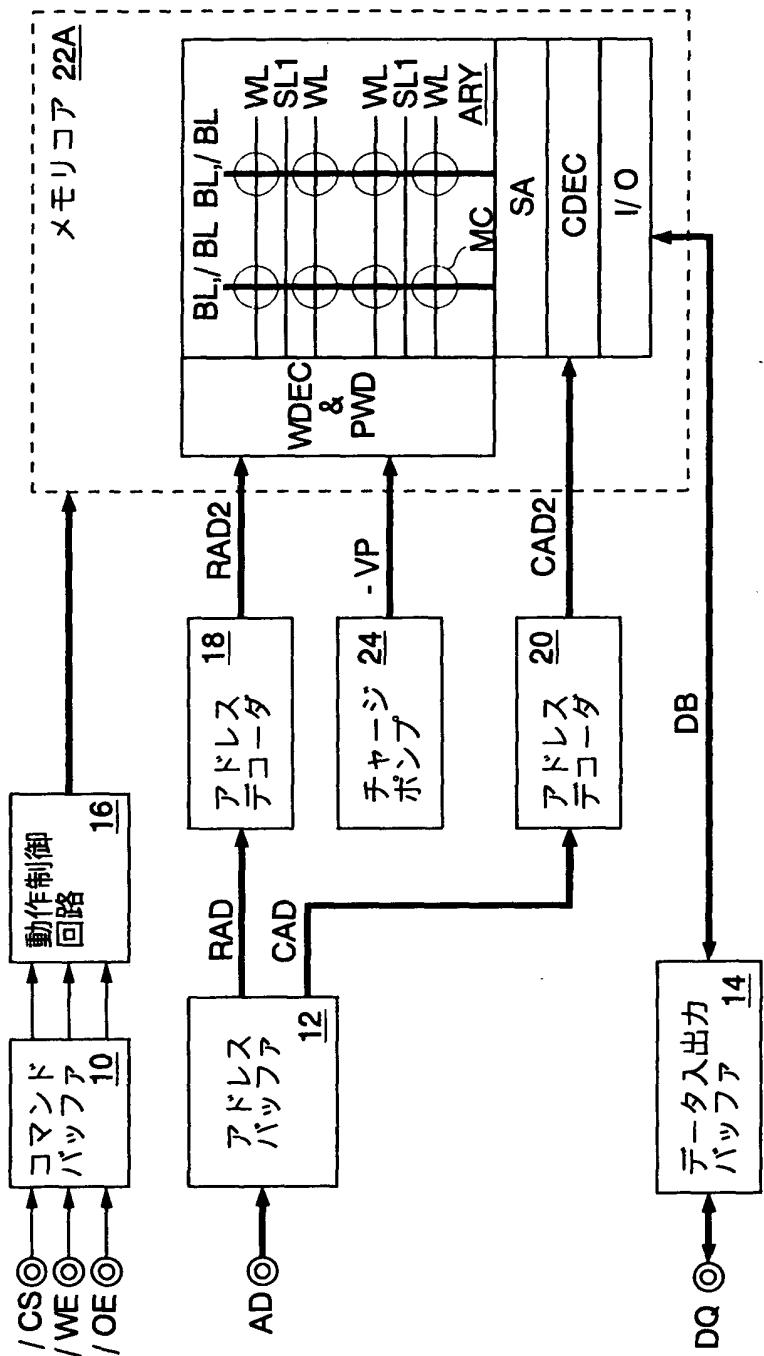


【図5】

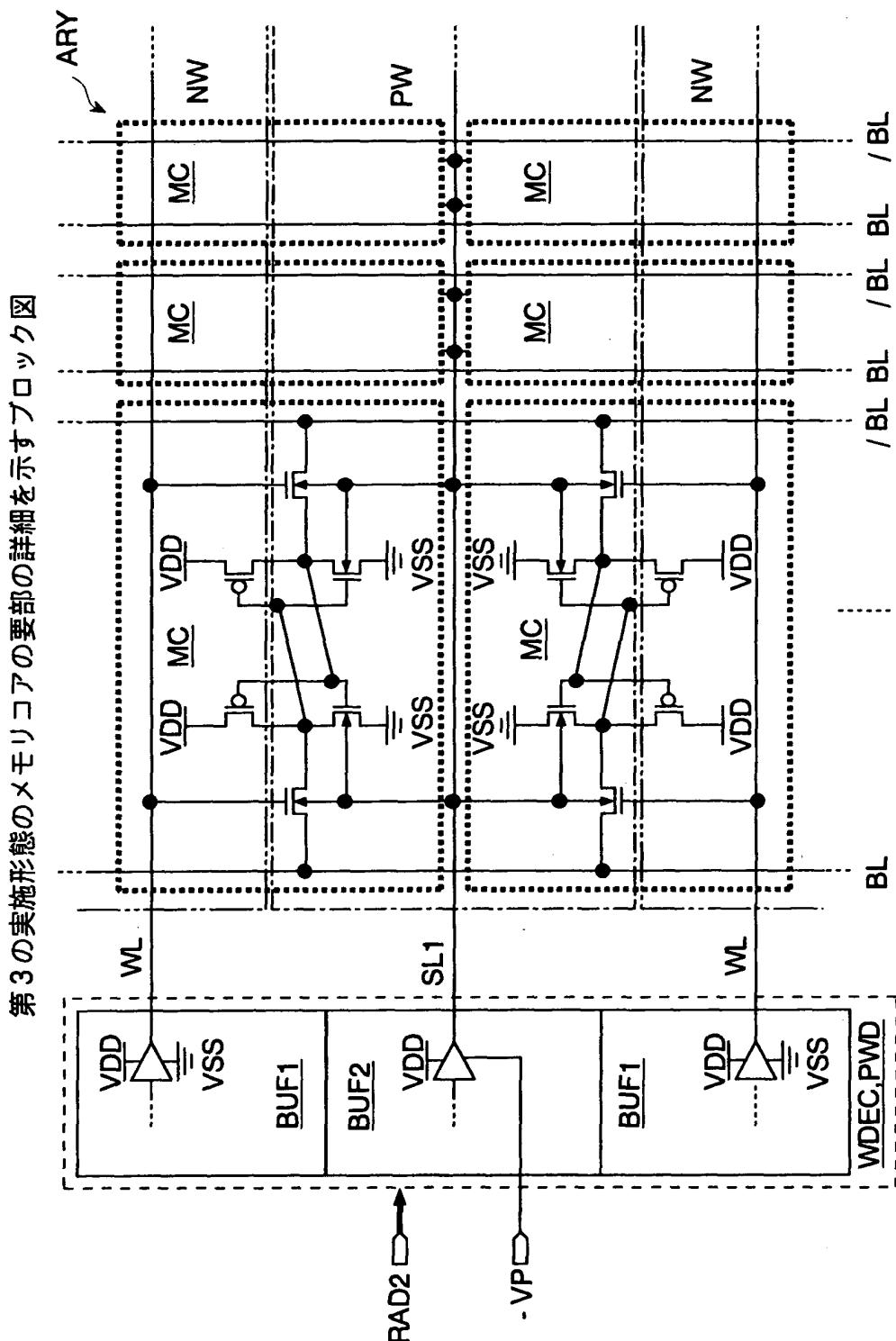


【図6】

第3の実施形態を示すブロック図

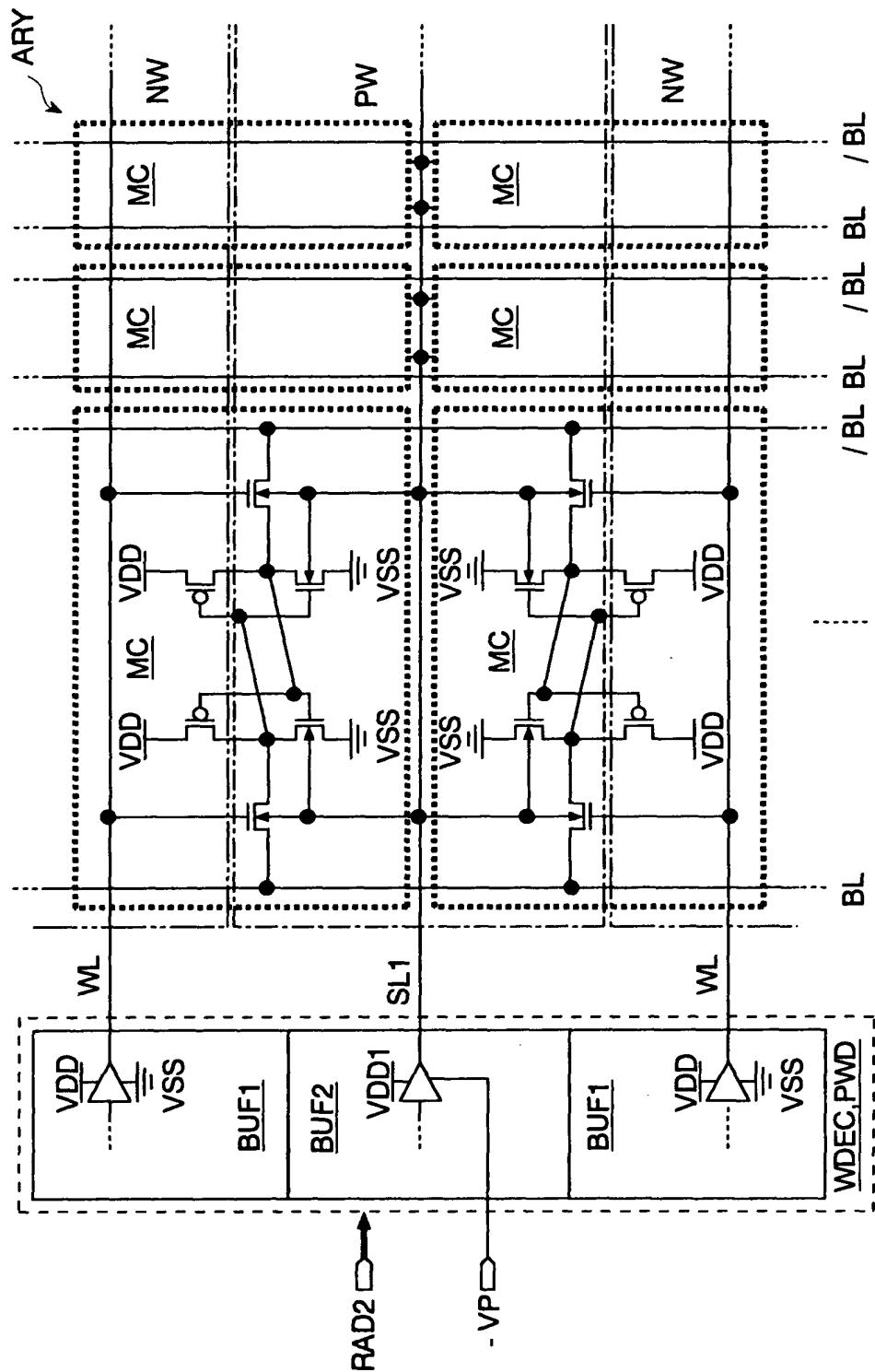


【図7】

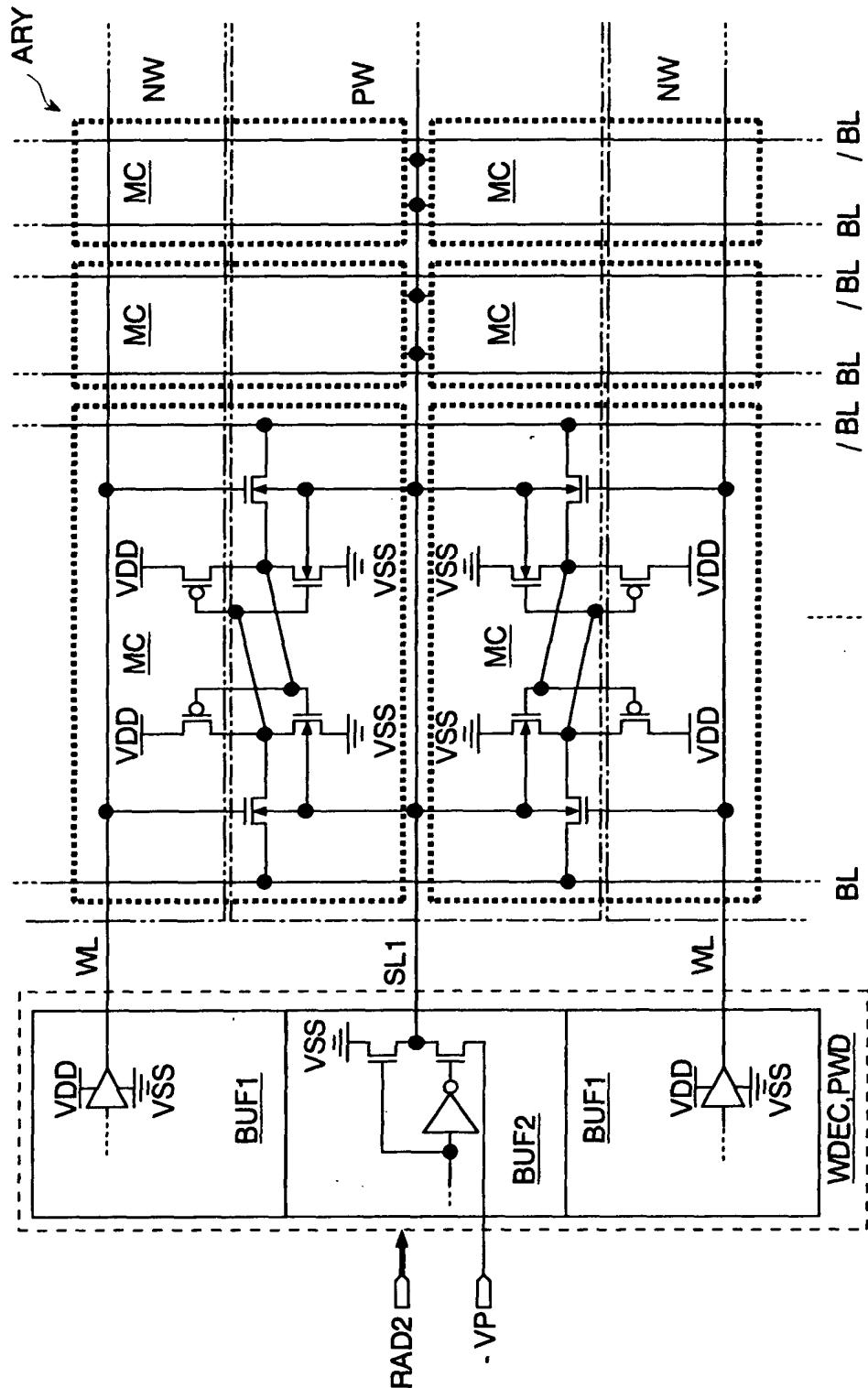


【図 8】

#### 第4の実施形態のメモリコアの要部の詳細を示すブロック図

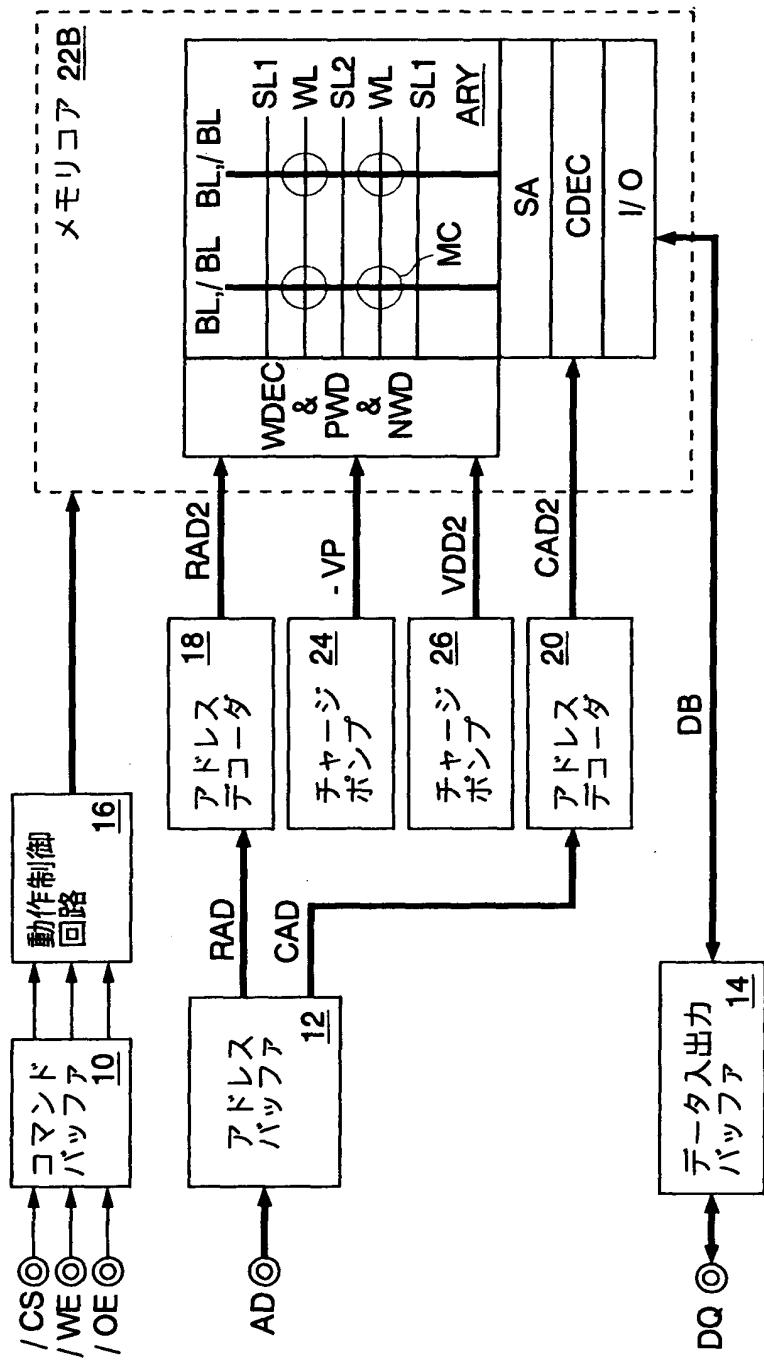


【図9】

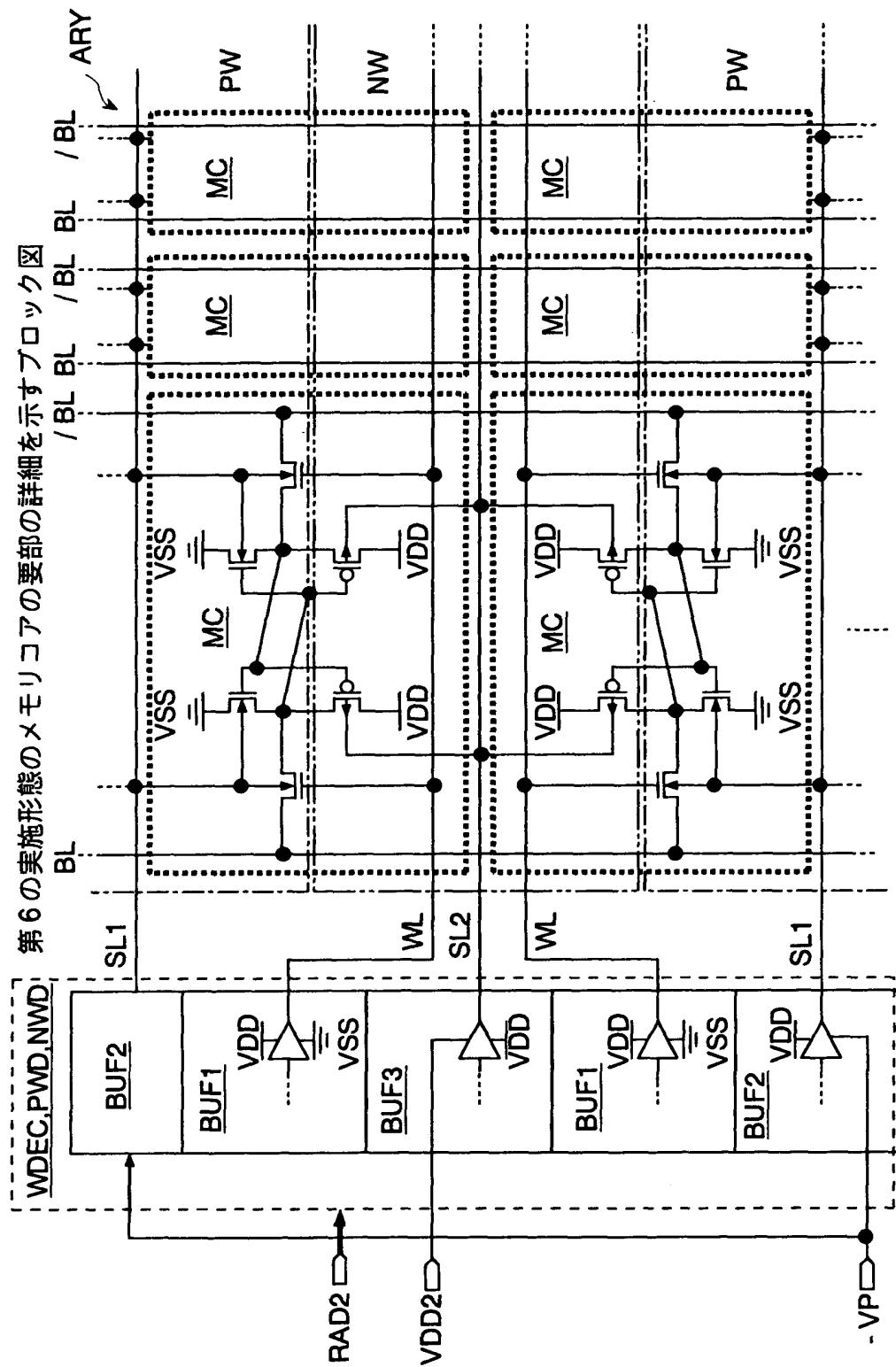


【図10】

第6の実施形態を示すブロック図

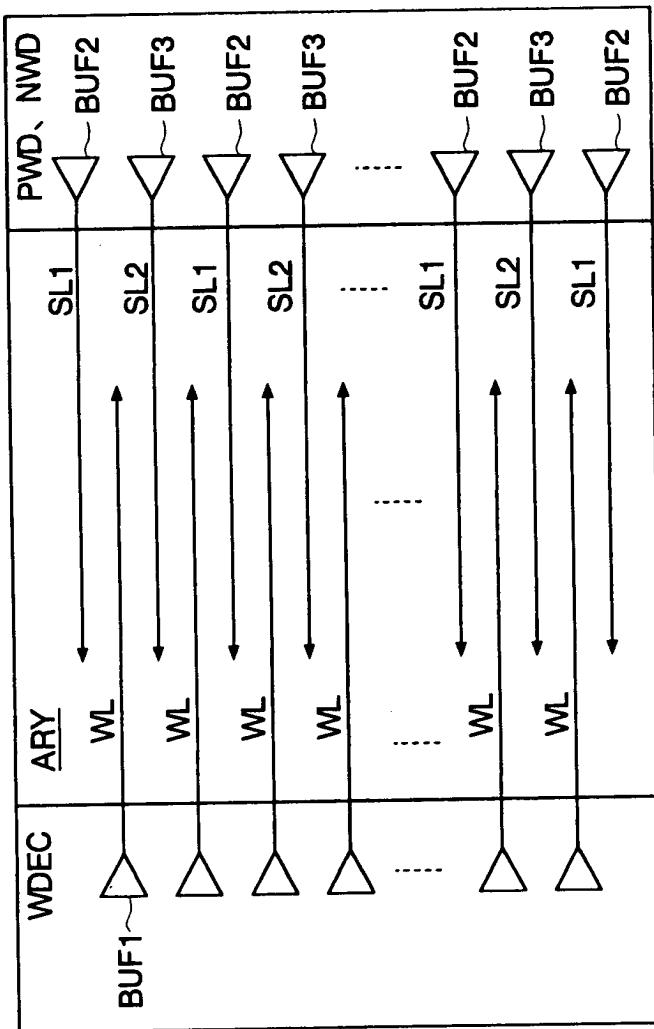


### 【図 1 1】



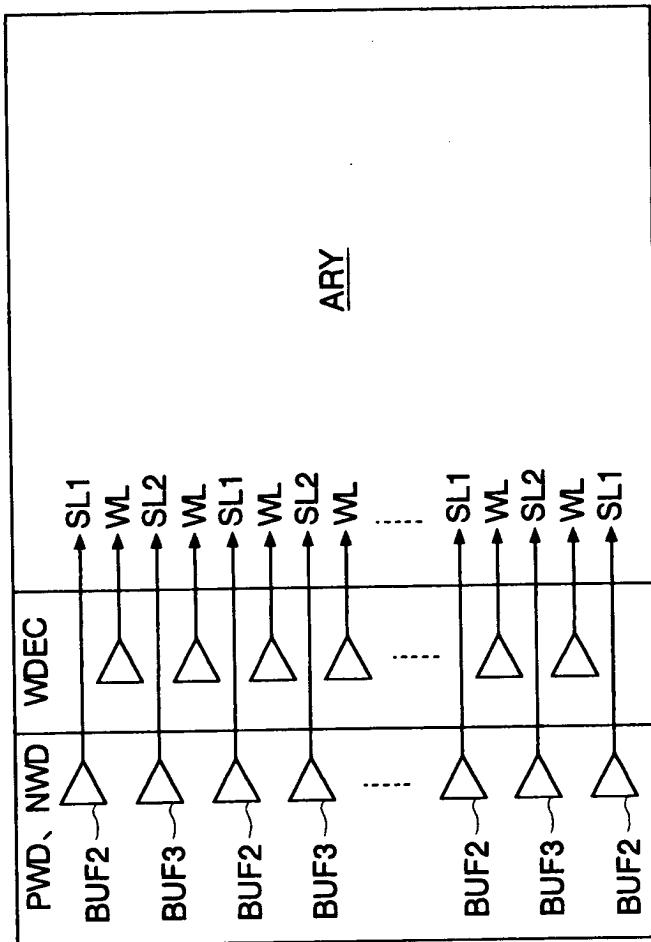
【図12】

ウェルデコーダの別の配置例を示すブロック図



【図13】

ウェルデコーダの別の配置例を示すブロック図



【書類名】 要約書

【要約】

【課題】 半導体メモリのアクセス時間を短縮するとともにスタンバイ電流を削減する。

【解決手段】 第1ドライバ回路の第1バッファは、ワード線に供給する電圧をそれぞれ生成する。2ドライバ回路の第2バッファは、第1バッファに同期して動作し、第1基板線に供給する電圧をそれぞれ生成する。各第2バッファは、メモリセルのアクセス時に、第1基板線に転送トランジスタおよび駆動トランジスタの閾値電圧を低くする電圧を供給し、スタンバイ時に、転送トランジスタおよび駆動トランジスタの閾値電圧を高くする電圧を供給する。このため、メモリセルのアクセス時の動作速度を向上でき、スタンバイ時のリーク電流を削減できる。この結果、半導体メモリの動作時にアクセス時間を短縮でき、スタンバイ時にスタンバイ電流を削減できる。

【選択図】 図1

)

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社